

Patent Abstracts of Japan

PUBLICATION NUMBER : 05299647
PUBLICATION DATE : 12-11-93

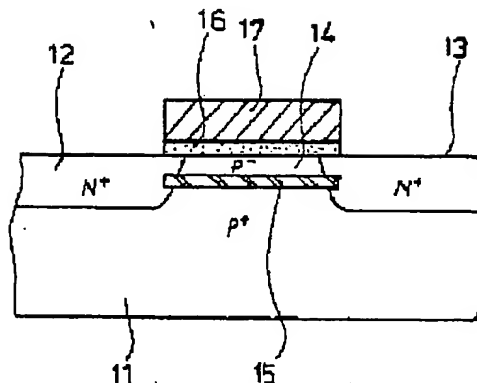
APPLICATION DATE : 24-04-92
APPLICATION NUMBER : 04106618

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : MATSUDA JUNICHI;

INT.CL. : H01L 29/784

TITLE : MOS FIELD EFFECT TRANSISTOR
AND MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To reduce impurity scattering of carrier and to realize a MOS field effect transistor having high mobility by removing the influence of impurity diffusion from a substrate in the transistor in which impurity concentration from a surface of a channel region is reduced.

CONSTITUTION: An impurity concentration of a P-type silicon substrate 11 is set to a high value of 1×10^{17} - $1 \times 10^{18}/\text{cm}^3$, and an impurity concentration of a P-type channel region 14 is set to a low value of 1×10^{15} - $1 \times 10^{16}/\text{cm}^3$. A diffusion barrier film made of a material having low diffusion coefficient such as an Si_3N_4 film, etc., is formed directly under the region 14.

COPYRIGHT: (C) JPO

80-1

29

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-299647

(43) 公開日 平成5年(1993)11月12日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		7377-4M	H 0 1 L 29/78	3 0 1 H
		7377-4M		3 0 1 X

審査請求 未請求 請求項の数3(全5頁)

(21) 出願番号 特願平4-106618

(22) 出願日 平成4年(1992)4月24日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 松田 順一

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

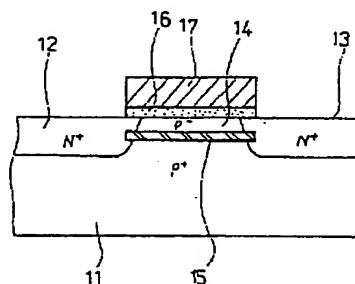
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 MOS電界効果トランジスタとその製造方法

(57) 【要約】

【目的】 チャンネル領域表面の不純物濃度を低くしたMOS電界効果トランジスタにおいて、基板からの不純物拡散の影響を除くことによって、キャリアの不純物散乱を減少させ、高移動度のMOS電界効果トランジスタを実現する。

【構成】 P型シリコン基板(11)の不純物濃度を $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ という高い濃度とし、P型のチャンネル領域(14)の不純物濃度を $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ という低い濃度とし、チャンネル領域(14)の直下に、 Si_3N_4 膜等の拡散係数の低い材料からなる拡散バリア膜(24)を形成する。



11: シリコン基板

12: P-型領域

13: N+領域

14: チャンネル領域

15: 拡散バリア膜

16: ゲート絶縁膜

17: ゲート電極

【特許請求の範囲】

【請求項1】 一導電型の半導体基板と、該基板表面に形成された一導電型のチャンネル領域と、前記基板上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極の両側に形成されたソース・ドレイン領域とを具備するMOS電界効果トランジスタにおいて、前記チャンネル領域の直下に前記基板からの不純物拡散を阻止するための拡散バリア膜を形成したことを特徴とするMOS電界効果トランジスタ。

【請求項2】 前記拡散バリア膜が、 Si_3N_4 膜からなることを特徴とする請求項1記載のMOS電界効果トランジスタ。

【請求項3】 一導電型の単結晶半導体基板上に選択酸化により素子分離絶縁膜を形成する工程と、前記基板の活性化領域上に拡散バリア膜を形成するとともに、拡散バリア膜の両側の前記表面を露出させる工程と、減圧CVD法によって、前記基板の露出面に付着するシリコン膜を堆積する工程と、熱処理によって前記付着部分から前記シリコン膜を単結晶化する工程と、素子分離絶縁膜上の前記シリコン膜を選択的に除去する工程と、前記シリコン膜上にゲート絶縁膜を形成する工程と、前記拡散バリア膜の上方の前記ゲート絶縁膜上に、ゲート電極を形成する工程と、前記ゲート電極をマスクとして用いたイオン注入法によって、前記シリコン膜中に逆導電型のソース・ドレイン領域を形成する工程と、前記ソース・ドレイン領域を電気的に活性化するための熱処理工程とを有することを特徴とするMOS電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOS電界効果トランジスタとその製造方法に関し、さらに詳しく言えば、MOS電界効果トランジスタのチャンネル不純物分布の制御方法に関するものである。

【0002】

【従来の技術】 図9は従来のMOS電界効果トランジスタの断面図である。図において、(1)は半導体基板、(2)はソース領域、(3)はドレイン領域、(4)はチャンネル領域、(5)はゲート絶縁膜、(6)はゲート電極である。このMOS電界効果トランジスタにおいて、チャンネル長をサブミクロン以下に微細化する際には、図10に示すようなチャンネル領域の深さ方向の不純物濃度分布(図において、実線で示す。)に設定するのが理想的であると考えられている。即ち、チャンネル領域(4)の表面における不純物濃度 N_s を減少させることによって、低 V_{th} (スレッショルド電圧)化し、

一方チャンネル領域(4)の深い部分の不純物濃度 N_j を増加させることによって短チャンネル効果を抑止したものである。

【0003】 このような不純物分布に設定することにより、 V_{th} のスケールアップと耐パルス特性を両立することができる。さらに、 N_s の減少化によりチャンネル領域(4)の表面におけるキャリアの不純物散乱が減少し、高移動度のMOS電界効果トランジスタが得られる等の利点がある。なお上述した技術は、例えば、電子情報通信学会技術研究報告[シリコン材料・デバイス](1990年11月20日発行)の第5頁〜第6頁に記載されている。

【0004】

【発明が解決しようとする課題】 しかしながら、図10の実線で示すチャンネル不純物分布を現実を得るには困難な問題があった。例えば、MBE(Molecular Beam Epitaxy)技術を適用して、高不純物濃度の基板上に低不純物濃度の薄いシリコン層を形成することは可能であるが、その後の各種の熱処理(ソース・ドレインのアニール工程、CVD工程等)を経ることにより、シリコン層中の不純物濃度が基板からの不純物拡散の影響を受けて高くなるので、結局デバイス完成時には図10において破線で示すような分布になってしまう。このため、 V_{th} の増加、不純物散乱の増加による移動度の劣化等の問題が起こってくる。

【0005】 本発明は、上述した課題に鑑みて創作されたものであり、基板から表面への不純物拡散を阻止することにより、チャンネル領域表面を任意の低不純物濃度に設定することを可能にした、MOS電界効果トランジスタとその製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】 本発明のMOS電界効果トランジスタは、P型のシリコン基板(11)の不純物濃度を $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ という高い濃度とし、P型のチャンネル領域(14)の不純物濃度を $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ という低い濃度に形成し、このチャンネル領域(14)の直下に基板(11)からの不純物拡散を阻止するための窒化膜等からなる拡散バリア膜(15)を形成したことを特徴としている。

【0007】 また、本発明のMOS電界効果トランジスタの製造方法は、P型の単結晶半導体基板(21)上に選択酸化により素子分離絶縁膜(22)を形成する工程と、前記基板の活性化領域上に拡散バリア膜(24)を形成するとともに、拡散バリア膜(24)の両側の前記表面(21)を露出させる工程と、減圧CVD法によって、前記基板(21)の露出面に付着するシリコン膜(25)を堆積する工程と、熱処理によって前記シリコン膜(25)を前記付着面から、単結晶化する工程と、素子分離絶縁膜(22)上の前記シリコン膜(25)を

選択的に除去する工程と、前記シリコン膜(25)上にゲート絶縁膜(26)を形成する工程と、前記拡散バリア膜(24)の上方の前記ゲート絶縁膜(26)上に、ゲート電極(27)を形成する工程と、前記ゲート電極をマスクとして用いたイオン注入法によって、前記シリコン膜中にN型のソース・ドレイン領域(28)、(29)形成する工程と、前記ソース・ドレイン領域(28)、(29)を電気的に活性化するための熱処理工程とを有することを特徴としている。

【0008】

【作用】本発明のMOS電界効果トランジスタとその製造方法によれば、チャンネル領域(14)の直下に基板(11)からの不純物拡散を阻止するための、窒化膜等からなる拡散バリア膜(15)を形成しているため、基板(11)からの不純物拡散の影響を受けずに、チャンネル領域(14)を任意の低不純物濃度に設定することが可能となる。これにより、従来問題点であった V_{th} の増加、不純物散乱の増加による移動度の劣化等の問題を解決することができる。

【0009】さらに、本発明のMOS電界効果トランジスタの製造方法によれば、MOS電界効果トランジスタの基体となるシリコン膜(25)は、基板(21)を種結晶として、結晶成長することにより形成しているため、拡散バリア膜(24)を形成したにもかかわらず、良質の単結晶シリコン上にMOS電界効果トランジスタを形成できる。

【0010】

【実施例】次に、本発明の実施例を図面を参照して説明する。図1は、本発明のMOS電界効果トランジスタの断面図である。図において、(11)はP型のシリコン基板であり、P型不純物(例えば、ボロン)が $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ 程度の濃度にドーピングされている。(12)、(13)はN型のソース・ドレイン領域である。(14)はP型のチャンネル領域であって、P型不純物がシリコン基板(11)よりも低濃度にドーピングされている領域である(例えば、 $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$)。そして、このチャンネル領域(14)の直下には、拡散バリア膜(15)が形成されているこの拡散バリア膜(15)は、シリコン基板(11)から上方のチャンネル領域(14)へと熱拡散して来るP型不純物に対する拡散バリアとしての役割を担うものである。具体的には拡散バリア膜(15)の材料として、拡散係数の非常に小さい材料、例えば Si_3N_4 膜がある。また、その膜厚は拡散バリア効果が十分発揮される程度の膜厚(例えば、 $150 \text{ \AA} \sim 300 \text{ \AA}$)に形成する。(16)は、約 150 \AA の膜厚を有するゲート絶縁膜であり、(17)はゲート絶縁膜(16)上に形成されたポリシリコンよりなるゲート電極である。

【0011】上述した構成によれば、拡散バリア膜(15)によって、基板(11)からの不純物拡散が阻止さ

れ、図10において実線で示した理想的なチャンネル不純物分布がデバイス完成時において得られる。これにより、 V_{th} の増加、不純物散乱の増加による移動度の劣化等の問題を解決することができる。次に、上述した構造のMOS電界効果トランジスタの製造方法を図面を参照して説明する。

【0012】図2乃至図8は、本発明のMOS電界効果トランジスタの製造方法を示す断面図である。

図2：P型不純物(ボロン等)を $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ 程度の濃度にドーピングしたシリコン基板(21)を準備し、選択酸化法を適用して、基板(21)上に素子分離絶縁膜(22)を形成する。シリコン基板(21)上を含む全面に膜厚 $150 \text{ \AA} \sim 300 \text{ \AA}$ の Si_3N_4 膜(23)を形成する。 Si_3N_4 膜(23)の形成には、 $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$ の混合ガスを用いた減圧CVD法あるいは、 NH_3 を含むガス中で熱処理を行う直接窒化法が適用できる。

【0013】図3：ホトリソグラフィ技術により、 Si_3N_4 膜(23)の不要部分を選択的に除去することにより、シリコン基板(21)の活性化領域上に拡散バリア膜(24)を形成するとともに、拡散バリア膜(24)の両側のシリコン基板(21)の表面を露出する。

【0014】図4：減圧CVD法によって、シリコン基板(21)の全面に、多結晶シリコン膜または非晶質シリコン膜からなるシリコン膜(25)を堆積し、上記工程で露出させたシリコン基板(21)の表面に付着させる。そして、レーザーアニール法あるいはランプアニール法等の熱処理を行うことによって、シリコン膜(25)を単結晶化する。ここで重要な点は、シリコン膜(25)の一部が単結晶のシリコン基板(21)上に付着しており、この付着面から結晶成長が起こることである。つまり、シリコン基板(21)をいわば種結晶として用いて結晶成長を促進したものであり、単に絶縁膜上に形成された非晶質シリコン膜等を単結晶化すると比較して、品質のよいシリコン単結晶膜を迅速に成長できる利点を有している。したがって、拡散バリア膜(24)を形成することによって、結晶性が損なわれMOS電界効果トランジスタの特性が悪化するというおそれがない。この後、シリコン膜(25)を低濃度のP型にするためのイオン注入を行う。そして、素子分離絶縁膜(22)上のシリコン膜(25)をホトリソグラフィ技術を用いて選択的に除去する。

【0015】図5：前記工程で単結晶化したシリコン膜(25)を熱酸化することによって、その表面に厚さ約 150 \AA のゲート絶縁膜(26)を形成する。その後、拡散バリア膜(24)の上方にあたるゲート絶縁膜(26)上にポリシリコンからなるゲート電極(27)を形成する。

【0016】図6：ゲート電極(27)をマスクとして、シリコン膜(25)中にヒ素イオン($\text{P}^+ \text{As}^+$)を

加速エネルギー60 KeV, 注入量 $5 \times 10^{15} / \text{cm}^2$ の条件下でイオン打ち込みを行うことによってN型のソース・ドレイン領域(28)、(29)を形成する。

【0017】図7:不活性雰囲気あるいは酸化性雰囲気中で熱処理を行うことにより、ソース・ドレイン領域(28)、(29)を電気的に活性化する。次に、減圧CVD法によって、BPSG膜等からなる層間絶縁膜(30)を堆積する。これらの熱処理工程において、本発明の特徴が最も顕著に現れる。即ち、本発明によれば、チャンネル領域(31)の直下に拡散バリア膜(24)が形成されているので、上記熱処理工程においてシリコン基板(21)からボロンがチャンネル領域(31)に拡散するのを防止できる。したがって、図10において実線で示した理想的なチャンネル不純物分布が得られるのである。

【0018】図8:ソース・ドレイン領域(28)、(29)上にコンタクトホールを形成する。そして、このコンタクトホールにおいてソース・ドレイン領域(28)、(29)と接続されたアルミニウムからなるソース・ドレイン電極(32)、(33)を形成し、MOS電界効果トランジスタを完成する。

【0019】

【発明の効果】本発明のMOS電界効果トランジスタとその製造方法によれば、チャンネル領域(14)の直下に基板(11)からの不純物拡散を阻止するための、窒化膜等からなる拡散バリア膜(15)を形成しているので、基板(11)からの不純物拡散の影響を受けずに、チャンネル領域(14)任意の低不純物濃度に設定することが可能となる。即ち、従来の問題点であった V_{th}

の増加、不純物散乱の増加による移動度の劣化等の問題を解決することができる。

【0020】さらに、本発明のMOS電界効果トランジスタの製造方法によれば、拡散バリア膜(15)を形成したにもかかわらず、良質な単結晶シリコン上にMOS電界効果トランジスタを形成できるという利点を有する。

【図面の簡単な説明】

【図1】本発明の実施例に係るMOS電界効果トランジスタを示す断面図である。

【図2】本発明の実施例に係るMOS電界効果トランジスタの製造方法を示す第1の断面図である。

【図3】本発明の実施例に係るMOS電界効果トランジスタの製造方法を示す第2の断面図である。

【図4】本発明の実施例に係るMOS電界効果トランジスタの製造方法を示す第3の断面図である。

【図5】本発明の実施例に係るMOS電界効果トランジスタの製造方法を示す第4の断面図である。

【図6】本発明の実施例に係るMOS電界効果トランジスタの製造方法を示す第5の断面図である。

【図7】本発明の実施例に係るMOS電界効果トランジスタの製造方法を示す第6の断面図である。

【図8】本発明の実施例に係るMOS電界効果トランジスタの製造方法を示す第7の断面図である。

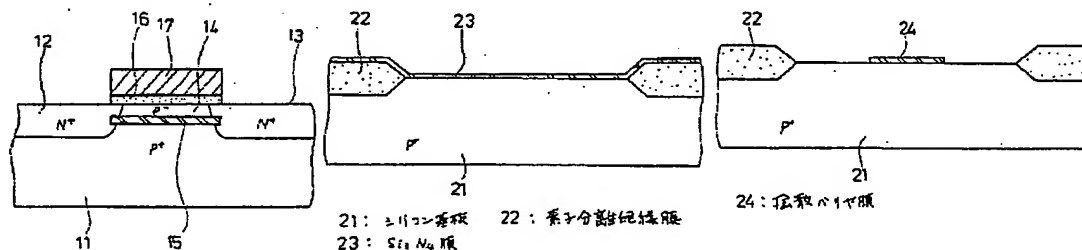
【図9】従来例に係るMOS電界効果トランジスタを示す断面図である。

【図10】MOS電界効果トランジスタのチャンネル深さ方向の不純物分布図である。

【図1】

【図2】

【図3】



21: シリコン基板
22: 多結晶窒化膜
23: Si_3N_4 膜

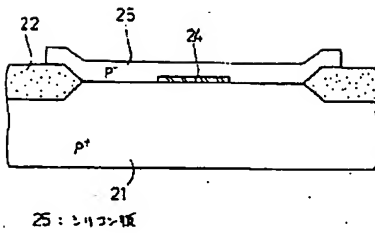
24: 拡散バリア膜

- 11: シリコン基板
- 12: ソース領域
- 13: ドレイン領域
- 14: チャンネル領域
- 15: 拡散バリア膜
- 16: ゲート絶縁膜
- 17: ゲート電極

(5)

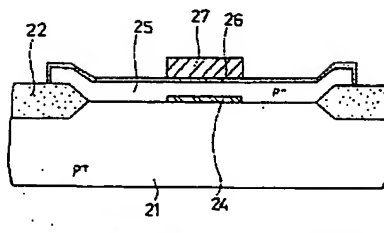
特開平5-299647

【図4】



25: シリコン膜

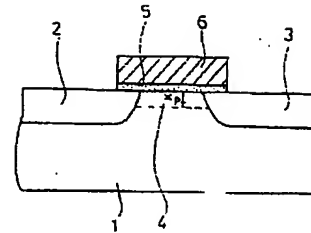
【図5】



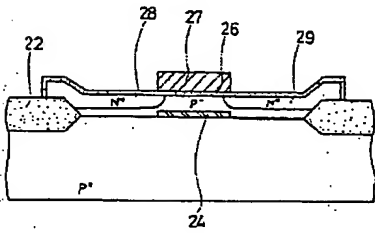
26: p+絶縁膜

27: p+電極

【図9】



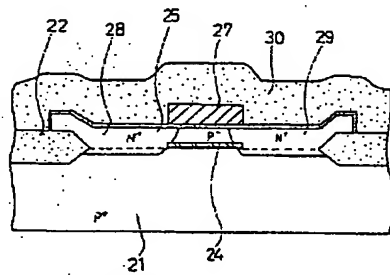
【図6】



28: p+領域

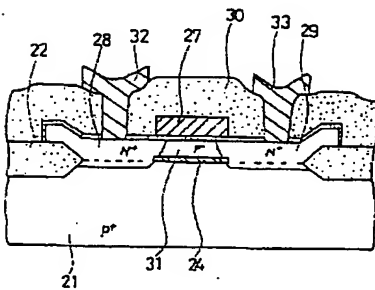
29: p-領域

【図7】



30: 層間絶縁膜

【図8】

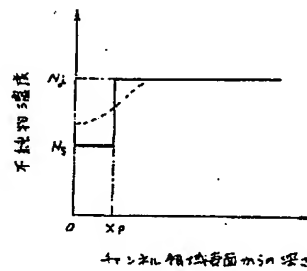


31: チャンネル領域

32: p+電極

33: p-電極

【図10】



THIS PAGE BLANK (USPTO)